

METHOD OF FORMING CONTACT PART IN SEMICONDUCTOR DEVICE

Publication number: JP9017867

Publication date: 1997-01-17

Inventor: SAGAWA TAKASHI

Applicant: NIPPON KOKAN KK

Classification:

- International: H01L21/28; H01L21/26; H01L21/265; H01L21/302; H01L21/3065; H01L21/768; H01L23/522; H01L21/02; H01L21/70; H01L23/52; (IPC1-7): H01L21/768; H01L21/26; H01L21/28; H01L21/3065

- European:

Application number: JP19950166172 19950630

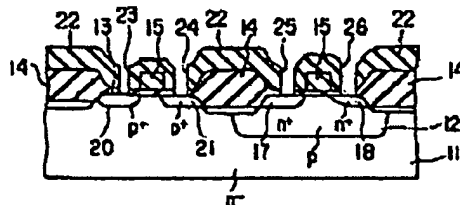
Priority number(s): JP19950166172 19950630

Report a data error here

Abstract of JP9017867

PURPOSE: To provide a method of forming a contact part in a semiconductor device capable of preventing an increase in contact resistance due to a damage formation in a surface layer part of a semiconductor substrate by an ion implantation.

CONSTITUTION: Impurity ions are implanted within a range of a specific area on a main face of a silicon substrate 11 to form source areas 17, 20 and drain areas 18, 21, and an interlayer insulator film 22 is formed on a main face of the silicon substrate 11. The interlayer insulator film 22 is selectively etched to form contact holes 23 to 26 exposing a surface of the silicon substrate 11 in the source areas 17, 20 and the drain areas 18, 21. On a surface of the silicon substrate 11 exposing into the contact holes 23 to 26, in order to remove substantially all residues of the interlayer insulator film 22, the silicon substrate 11 is overetched. Thereafter, after anneal treatments are performed by lamp annealing in the silicon substrate 11, damages caused due to the implantation of impurity ions and the overetching are recovered.



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-17867

(43) 公開日 平成9年(1997)1月17日

| (51) Int.Cl. ⁶ | 識別記号 | 庁内整理番号 | F I | 技術表示箇所 |
|---------------------------|---------|--------|---------------|--------|
| H 0 1 L | 21/768 | | H 0 1 L 21/90 | D |
| | 21/26 | | 21/28 | L |
| | 21/28 | | 21/26 | L |
| | 21/3065 | | 21/302 | N |

審査請求 未請求 請求項の数 3 O L (全 8 頁)

(21) 出願番号 特願平7-166172

(22) 出願日 平成7年(1995)6月30日

(71) 出願人 000004123

日本鋼管株式会社

東京都千代田区丸の内一丁目1番2号

(72) 発明者 寒川 孝

東京都千代田区丸の内一丁目1番2号 日

本鋼管株式会社内

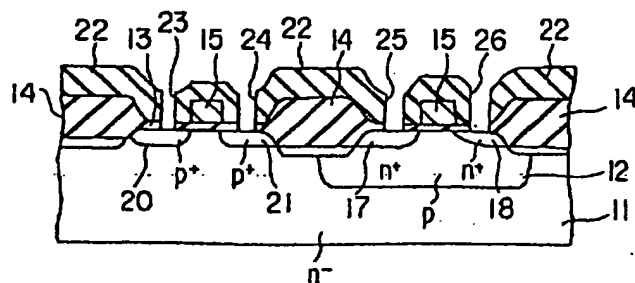
(74) 代理人 弁理士 長谷川 和音

(54) 【発明の名称】 半導体装置におけるコンタクト部の形成方法

(57) 【要約】

イオン注入による半導体基板の表層部の損傷形成によるコンタクト抵抗の増加するのを防止できる半導体装置におけるコンタクト部の形成方法を提供する。

—【構成】シリコン基板 11 の主面上の所定の領域の範囲内に不純物イオンを注入してソース領域 17、20 及びドレイン領域 18、21 を形成し、シリコン基板 11 の主面上に層間絶縁膜 22 を形成する。層間絶縁膜 22 を選択的にエッチングしてソース領域 17、20 及びドレイン領域 18、21 内のシリコン基板 11 の表面を露出させるコンタクトホール 23～26 を形成する。コンタクトホール 23～26 内に露出したシリコン基板 11 の表面上に層間絶縁膜 22 の残留物を実質的に全て取り除くためにシリコン基板 11 に対してオーバーエッチングを施す。その後シリコン基板 11 にランプアニールによりアニール処理を施して不純物イオンの注入及びオーバーエッチングにより生じた損傷を回復させる。



【特許請求の範囲】

【請求項 1】半導体基板の主面上の所定の領域の範囲内に不純物イオンを注入する工程、

前記不純物イオンが注入された領域を含む前記半導体基板の主面上に層間絶縁膜を形成する工程、

前記層間絶縁膜を選択的にエッチングして前記不純物イオンが注入された領域内の前記半導体基板の表面を露出させるコンタクトホールを形成する工程、

前記コンタクトホールが形成された後に前記コンタクトホール内に露出した前記半導体基板の表面上に存在する前記層間絶縁膜の残留物を実質的に全て取り除くために前記半導体基板に対してオーバーエッチングを施す工程、

前記半導体基板にランプアニールによりアニール処理を施して前記半導体基板の表層部に前記不純物イオンの注入およびオーバーエッチングにより生じた損傷を回復させる工程、および、

前記コンタクトホールを含む前記層間絶縁膜の表面上に前記コンタクトホールを介して前記不純物イオンが注入された領域内の前記半導体基板と電気的に接続された上部配線層を形成する工程を具備する半導体装置におけるコンタクト部の形成方法。

【請求項 2】半導体基板のランプアニールによるアニール処理を、850ないし1050℃の範囲内の温度で15ないし60秒間行う請求項 1記載の半導体装置におけるコンタクト部の形成方法。

【請求項 3】不純物イオンを注入する半導体基板の主面上の所定の領域が、MOS形トランジスタのソース領域およびドレイン領域である請求項 1～3のいずれか 1つに記載の半導体装置におけるコンタクト部の形成方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体装置におけるコンタクト部の形成方法に関する。

【0002】

【発明が解決しようとする課題】従来、トランジスタの製造において、pn接合を形成するための手段の一つにイオン注入法がある。イオン注入法では、注入すべき元素をイオン化した後、数十～数百kVの電圧で加速してビームとし、シリコン基板に照射し、イオンをシリコン表面に無理矢理押し込んでいく。

【0003】このようなイオン注入法では、イオンが高いエネルギーでシリコン基板に注入されるため、シリコン基板の表層部が損傷を受けやすい。すなわち、イオン注入を受けた直後のシリコン基板では、シリコン原子の配列がバラバラになってしまい、注入したイオンも正しい位置に配置されていない状態にある。そこで、原子配列を正しく直し、イオンを正しい位置に置き直す作業が必要である。原子を規則正しく配列し直す方法として

は、基板に熱を与える方法があり、この作業をアニールという。従来、アニール処理は、例えば、電気炉の中で行われている。

【0004】

【発明が解決しようとする課題】しかしながら、イオン注入後のアニール処理を長時間行うほど、不純物イオンがより広く、より深く拡散される。0.8～0.5 μm のデザインルールを適用したトランジスタでは、適当なpn接合の深さは約0.2 μm である。しかし、イオン注入によるシリコン基板の損傷を回復させるために必要な時間だけアニール処理を行うと、pn接合が深くなり過ぎる。

【0005】微細なデザインルールを適用した半導体装置の製造に用いるために、次のような方法が提案され、実施されている。一つは、コンタクトホールの形成のための層間絶縁膜の化学的ドライエッチングを過剰に行い、シリコン基板の表層部の損傷を受けた領域を除去する。しかし、この方法では、シリコン基板の表層部を数百オングストローム(A)の深さで除去してしまう。従って、pn接合の深さが浅い、例えば、0.5 μm 以下のデザインルールを適用した半導体装置には、この方法は適用できない。

【0006】もう一つは、コンタクトホールに例えばポリシリコンからなるプラグを充填した後、このプラグにヒ素(As)等のn型不純物またはボロン(B)等のp型不純物を注入してプラグの電気的抵抗を低下させることにより、コンタクト抵抗を低減することが行われている。しかし、製造の工程数が増加し、製造の所要時間が延長するため、好ましくない。

【0007】本発明は、かかる点に鑑みてなされたものであり、イオン注入による半導体基板の表層部の損傷形成によるコンタクト抵抗の増加するのを防止できる半導体装置におけるコンタクト部の形成方法を提供する。

【0008】

【課題を解決するための手段】本発明は、半導体基板の主面上の所定の領域の範囲内に不純物イオンを注入する工程、前記不純物イオンが注入された領域を含む前記半導体基板の主面上に層間絶縁膜を形成する工程、前記層間絶縁膜を選択的にエッチングして前記不純物イオンが注入された領域内の前記半導体基板の表面を露出させるコンタクトホールを形成する工程、前記コンタクトホールが形成された後に前記コンタクトホール内に露出した前記半導体基板の表面上に存在する前記層間絶縁膜の残留物を実質的に全て取り除くために前記半導体基板に対してオーバーエッチングを施す工程、前記半導体基板にランプアニールによりアニール処理を施して前記半導体基板の表層部に前記不純物イオンの注入およびオーバーエッチングにより生じた損傷を回復させる工程、および、前記コンタクトホールを含む前記層間絶縁膜の表面上に前記コンタクトホールを介して前記不純物イオンが

注入された領域内の前記半導体基板と電気的に接続された上部配線層を形成する工程を具備する半導体装置におけるコンタクト部の形成方法を提供する。

【0009】

【作用】本発明の半導体装置におけるコンタクト部の形成方法は、半導体基板の主面に対して不純物を注入した後、アニール処理を行うことなく、層間絶縁膜の形成、レジストマスクの形成、および、コンタクトホール形成を順次行う。次に、半導体基板にランプアニールにより熱処理を施す。この熱処理により、半導体基板の表層部に生じた損傷を回復させる。この損傷には、イオン注入による損傷およびエッチングによる結晶性の損傷の両方が含まれる。ランプアニールによる熱処理により、原子の再配列が起こり、損傷が回復される。これにより、引き続き上部配線層を形成した場合に半導体基板と上部配線層の間に良好な電気的接続が得られる。また、イオン注入による損傷およびエッチングによる結晶性の損傷の両方の回復を一つのアニール処理で行うため、不必要な不純物の拡散を抑制し、デザインルールに応じた適当な深さのp-n接合が形成される。

【0010】

【実施例】以下、本発明の実施例についてさらに詳細に説明する。本発明の半導体装置におけるコンタクト部の形成方法を、CMOS型トランジスタを例に挙げて説明する。図1～5は、本発明の半導体装置におけるコンタクト部の形成方法の一例の各工程を示す説明図である。この方法では、第1に、半導体基板の主面上の所定の領域の範囲内に不純物イオンを注入する。CMOS型トランジスタの製造の場合、nチャンネル用およびpチャンネル用のソースおよびドレイン領域を形成するためにイオン注入（以下、夫々「n⁺注入」および「p⁺注入」ともいう）を行う。

【0011】イオン注入に先立って、図1に示すように、n形のシリコン基板11の主面側の所定の領域には、シリコン基板11とは逆導電形、すなわちp形のウエル12を形成する。次いで、シリコン基板11の主面上に素子分離領域14を形成した後、ゲート酸化膜13を形成する。これらの素子分離領域14により規定された素子形成領域内のゲート酸化膜13の表面上にゲート電極15を形成する。

【0012】次いで、図2に示すように、シリコン基板11の表面上にn形チャンネルのための素子形成領域を残してレジスト膜16を形成する。この状態のシリコン基板11に対してn形不純物のイオンを注入する。n形不純物としては、例えば、リン(P)、ヒ素(As)、アンチモン(Sb)等が挙げられる。イオン注入は、常法に従って行うことができる。例えば、加速電圧50～10KeVのイオン注入装置を用いて行われる。この結果、nチャンネル用のソース領域17およびドレイン領域18が形成される。イオン注入が終了後、レジスト膜

16を除去する。

【0013】次に、図3に示すように、シリコン基板11の表面上にp形チャンネルのための素子形成領域を残してレジスト膜19を形成する。このような状態のシリコン基板11に対してp形不純物のイオンを注入する。p形不純物としては、例えば、ボロン(B)、アルミニウム(Al)、ガリウム(Ga)、インジウム(In)等が挙げられる。イオン注入は、上述のn⁺注入と同様に行うことができる。この結果、pチャンネル用のソース領域20およびドレイン領域21が形成される。イオン注入が終了後、レジスト膜19を除去する。上述のn⁺注入およびp⁺注入は、いかなる順番で行っても良い。

【0014】イオン注入が終了した後、アニール処理を行うことなく次の工程を行う。ただし、初めに、n⁺注入を行った場合には、その直後に、例えば、電気炉内でアニール処理を施しても良い。なぜならば、n形不純物イオンの注入は、p形不純物イオンの注入に比べてシリコン基板11が受ける損傷が少ないため、電気炉内でのアニールを短時間で行うことにより損傷を回復することが可能であり、p-n接合も過剰に深くなるおそれが少ないからである。

【0015】この方法の第2の工程では、半導体基板の主面上に層間絶縁膜を形成する。図4に示すように、シリコン基板11の主面上に層間絶縁膜22を堆積させる。層間絶縁膜22は、例えば、BPSSG、PSG、PbO-SiO₂、SOG、NSG等が挙げられる。層間絶縁膜23は一層であっても2層以上を積層させても良い。層間絶縁膜22は、常法に従って形成できる。例えば、BPSSG膜の場合、CVD法により形成される。

【0016】次いで、第3の工程として、層間絶縁膜22を選択的にエッチングして不純物イオンが注入された領域内の半導体基板の表面を露出させるコンタクトホールを形成する。すなわち、図4に示すように、シリコン基板11の主面上のソース領域17、20およびドレイン領域18、21の一部を露出するコンタクトホール23、24、25、26を夫々形成する。

【0017】コンタクトホール23～26の形成は、通常のフォトリソグラフィ技術を用いて行うことができる。すなわち、層間絶縁膜22の表面上にレジスト剤を塗布し、所定のガラスマスクを用いて露光および現像して、形成しようとするコンタクトホール23～26に対応した開口部が形成されたレジストマスクを形成する。次に、シリコン基板11に対してドライエッチングを行う。ドライエッチングは、例えば、反応性イオンエッチング(RIE)である。この結果、開口部内の層間絶縁膜23が除去され、コンタクトホール23～26が形成される。

【0018】上述のエッチングを、開口部内の層間絶縁膜22が除去され、シリコン基板11の表面が露出した

後もさらに引き続いて（いわゆるオーバーエッチング）行い、コンタクトホール23～26の内部に層間絶縁膜22の残留物が残らないようにする。このオーバーエッチングにより、コンタクトホール23～26に露出したシリコン基板11、すなわち、ソース領域17、20およびドレイン領域18、21の表層部にエッチングによる結晶性の損傷が生じる。

【0019】この方法の第4の工程は、半導体基板にランプアニールによりアニール処理を施して半導体基板の表層部に不純物イオンの注入およびエッチングにより生じた損傷を回復させる。上述のように、シリコン基板11のソース領域17、20およびドレイン領域18、21の表層部には損傷が生じている。この損傷は、イオン注入による損傷と、エッチングによる損傷の両方を含む。イオン注入およびエッチングにより、シリコン基板11の格子欠陥が悪化する。言い換えれば、イオン注入およびエッチングにより、シリコン原子の配列がバラバラになり、イオン注入で注入したイオンも正しい位置に配置されていない状態になる。

【0020】このようなシリコン基板11の損傷を回復するために、シリコン基板11をランプアニールによりアニール処理を施す。ランプアニールは、ランプから放射される可視光および近赤外線の照射によりアニールを行う方法である。熱源としては、ハロゲンランプ、キセノンフラッシュランプを用いることができる。このランプアニールにより、シリコン基板11に対して高温および短時間の熱処理を施す。これにより、ランプアニールによるアニール処理により、配列がバラバラになったシリコン原子の再配列が起こり、シリコン基板11のイオン注入による損傷およびエッチングによる損傷を同時に回復する。

【0021】ここで、ランプアニールによるアニール処理の処理温度および処理時間は、シリコン基板11の損傷が回復するが、pn接合が過度に深くなり過ぎない範囲内で適宜選択することが好ましい。すなわち、アニール処理が不十分であると、シリコン基板11の損傷が十分回復せず、コンタクト部の電気的抵抗が高くなる。一方、アニール処理が過度に進行するとpn接合が深くなり過ぎ、隣接する半導体素子との間でリーク電流が発生するおそれがあるからである。

【0022】アニール処理の処理温度および処理時間は、半導体装置が0.6μmのデザインルールである場合に、具体的には、850ないし1050℃の範囲内の温度で15ないし60秒間行うことが好ましい。しかしながら、処理時間は、半導体装置が微細であるほど短時間で行うことが好適であると考えられる。また、デザインルールがより微細になると、コンタクトホールの直径も小さくなる。このため、同条件で製造した半導体装置におけるコンタクト抵抗は、デザインルールが微細になるほど上昇する。従って、上述のアニール処理で許容さ

れる処理温度はより高温側に推移すると考えられる。

【0023】この方法の第5の工程では、コンタクトホールを含む層間絶縁膜の表面上にコンタクトホールを介して不純物イオンが注入された領域内の半導体基板と電氣的に接続された上部配線層を形成する。具体的には、図5に示すように、層間絶縁層22の表面上に、例えば、アルミニウム、チタン、チタンナイトライド等からなる上部配線層27を形成する。上部配線層27の形成は、常法に従って行うことができる。例えば、アルミニウムの場合にはスパッタリングにより行われる。

【0024】コンタクトホール23～26のアスペクト比が高く、上部配線層27のステップカバレッジが悪くなる場合には、図6に示すように、例えば、タングステンのような高融点金属からなるプラグ28を充填することもできる。また、この場合、プラグ28とシリコン基板11との電氣的接触を高めるため、および、タングステンをCVDにより堆積させる場合にタングステンがシリコン基板11に食い込む（マイグレーション）のを防止するため、バリア層29を設けることもできる。バリア層30は、例えば、チタン薄膜30およびチタンサイド薄膜31の積層からなる。

【0025】この後、必要に応じて、図5に示すように、上部配線層27の表面上に例えばPSGからなるパッシベーション層32を形成することができる。また、さらに他の層間絶縁膜および他の上部配線層を設けて、多層配線構造とすることも可能である。

【0026】次に実際に本発明の方法に従って半導体装置を製造した場合について説明する。図7は、本発明の半導体装置のコンタクト部の形成方法の一例を適用したコンタクト部を示す断面図である。なお、以下作製するサンプルは、0.6μmのデザインルールを適用した。従って、コンタクトサイズは0.6μmのTEGを用いて評価を行った。

【0027】まず、主面上に素子分離領域71、ゲート酸化膜72が形成されたシリコン基板73に対してnチャンネル用およびpチャンネル用のイオン注入を交互に行った。nチャンネルのためのイオン注入として、ヒ素(As)を80KeVの注入エネルギーにより $1.2 \times 10^{15}/\text{cm}^2$ の濃度で注入した。その後、拡散炉(875℃、30分)によりアニール処理を行った。次に、pチャンネルのためのイオン注入として、フッ化ボロン(BF₂)を40KeVの注入エネルギーにより $1.2 \times 10^{15}/\text{cm}^2$ の濃度で注入した。これにより、n形またはp形の不純物拡散層74a、74b、74cが形成された。

【0028】この後、アニール処理を行うことなく、半導体基板73の主面上に、NSG膜75を、膜厚1400ÅにCVDにより堆積させた。次に、NSG膜75の表面上にBPSG膜76を、膜厚7000ÅにCVDにより堆積させた。この後、850℃で30分間加熱して

リフロー処理を施した。

【0029】次いで、NSG膜75およびBPSG膜76に対して通常のフォトリソグラフィによりコンタクトホール77a、77b、77c、77dを形成した。

【0030】ここで、NSG膜75およびBPSG膜76のエッチングは、反応性イオンエッチング(RIE)を、圧力500mTorr、RF出力1300W、ガス流量Ar/CF₄/CHF₃=500/25/35sccm、周波数kHz、電極間(Gap)間隔0.9cmの条件で行った。また、層間絶縁膜に対して約150%のオーバーエッチングを施した。

【0031】このようにして作製した複数のシリコン基板71に対して、800~1100℃の温度範囲で加熱時間15、30および60秒間のランプアニールによるアニール処理を夫々施した。ランプアニールは窒素雰囲気中で行った。

【0032】次に、コンタクトホール77a、77b、77c、77d内に、常法に従って、チタンおよびチタンナイトライドからなるバリア層(Ti/TiN=500/700Å)を形成した。次に、タングステンからなるプラグ78a、78b、78c、78dを夫々充填した。さらに、BPSG膜76の表面上にアルミニウムからなる金属配線層79を膜厚6000Åで形成し、所定のパターンでパターニングした。

【0033】上述のようにして作製した、アニール処理の条件が異なるサンプルについて、シリコン基板73に形成されたp⁺の不純物拡散領域およびn⁺の不純物拡散領域またはp⁺の不純物拡散領域と金属配線層79との間のコンタクト抵抗を夫々測定した。この結果を図8および図9に示す特性図に夫々まとめた。また、比較例として、pチャンネルのためのイオン注入を行った後、拡散炉で875℃、30分の条件でアニール処理を行い、また、オーバーエッチング後のランプアニールを省略した以外は、上述と同様の手順で作製した比較例のサンプルについてn⁺の不純物拡散領域またはp⁺の不純物拡散領域と金属配線層79との間のコンタクト抵抗を夫々測定した。この結果も、図8および図9に示す特性図に加えた。

【0034】図8および図9から明らかなように、本実施例に作製したサンプルでのn⁺の不純物拡散領域またはp⁺の不純物拡散領域と金属配線層79との間のコンタクト抵抗は、ランプアニールの処理時間が15、30および60秒間であって、処理温度が850~1050℃の範囲内である場合には、比較例のコンタクト比に比べて低くなることが確認された。

【0035】また、図10に示すように、素子分離領域71の表面上に、膜厚4000Åのポリシリサイドからなるゲート配線層81を形成した以外は、上述の図7に示すサンプルと同様の手順に従って、コンタクトホールのアスペクト比がより大きいサンプルを作製した。この

場合において、成膜時のNSG膜75の膜厚は、1400Åであり、同じくBPSG膜76の膜厚は、平均で7000Åであるが、素子分離領域71間の不純物拡散層74a、74b、74cの上のBPSG膜76は、リフローにより10,000Åになっている。

【0036】この場合のサンプルについて、n⁺の不純物拡散領域またはp⁺の不純物拡散領域と金属配線層79との間のコンタクト抵抗を夫々測定した。この結果を、図11および図12に示す特性図にまとめた。

【0037】図11および図12から明らかなように、コンタクト比が著しく大きいサンプルにおいても、本実施例に従って作製したサンプルでは、n⁺の不純物拡散領域またはp⁺の不純物拡散領域と金属配線層79との間のコンタクト抵抗は、ランプアニールの処理時間が15、30および60秒間であって、処理温度が900~1050℃の範囲内である場合には、比較例のコンタクト比に比べて低くなることが確認された。

【0038】

【発明の効果】以上説明したように、本発明の半導体装置におけるコンタクト部の形成方法は、半導体基板の主面に対して不純物を注入した後、アニール処理を行うことなく、層間絶縁膜の形成、レジストマスクの形成、および、コンタクトホールの形成を順次行う。次に、半導体基板にランプアニールにより熱処理を施す。この熱処理により、半導体基板の表層部にイオン注入およびエッチングによる結晶性の損傷を回復させる。このため、不必要な不純物の拡散を抑制し、デザインルールに応じた適当な深さのpn接合が形成される。この結果、微細な半導体装置においてコンタクト抵抗が低いコンタクト部を容易に形成できる。

【図面の簡単な説明】

【図1】本発明の半導体装置におけるコンタクト部の形成方法の一例の一工程を示す説明図。

【図2】本発明の半導体装置におけるコンタクト部の形成方法の一例の一工程を示す説明図。

【図3】本発明の半導体装置におけるコンタクト部の形成方法の一例の一工程を示す説明図。

【図4】本発明の半導体装置におけるコンタクト部の形成方法の一例の一工程を示す説明図。

【図5】本発明の半導体装置におけるコンタクト部の形成方法の一例の一工程を示す説明図。

【図6】半導体装置におけるコンタクト部の一例を示す断面図。

【図7】本発明の半導体装置のコンタクト部の形成方法の一例を適用したコンタクト部を示す断面図。

【図8】図7に示すコンタクト部のn⁺の不純物拡散領域と金属配線層との間のコンタクト抵抗を測定した結果を示す特性図。

【図9】図7に示すコンタクト部のp⁺の不純物拡散領域と金属配線層との間のコンタクト抵抗を測定した結果

を示す特性図。

【図 10】 本発明の半導体装置のコンタクト部の形成方法の一例を適用したコンタクト部を示す断面図。

【図 11】 図 10 に示すコンタクト部の n^+ の不純物拡散領域と金属配線層との間のコンタクト抵抗を測定した結果を示す特性図。

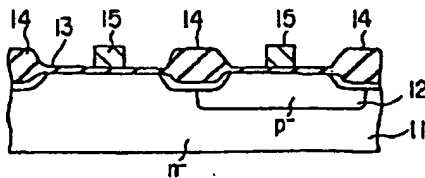
【図 12】 図 10 に示すコンタクト部の p^+ の不純物拡散領域と金属配線層との間のコンタクト抵抗を測定した

結果を示す特性図。

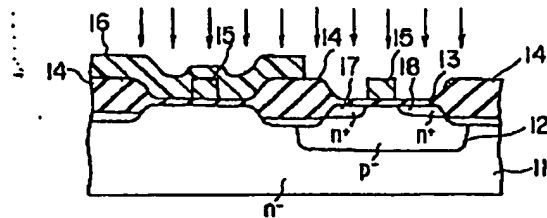
【符号の説明】

11…シリコン基板、12…ウエル、13…ゲート酸化膜、14…素子分離領域、15…ゲート電極、16、19…レジスト膜、17、20…ソース領域、18、21…ドレイン領域、22…層間絶縁膜、23~26…コンタクトホール、27…上部配線層、28…プラグ。

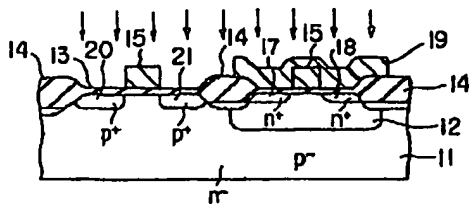
【図 1】



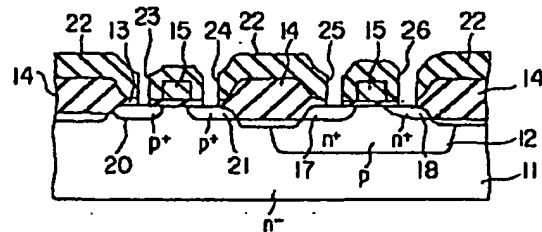
【図 2】



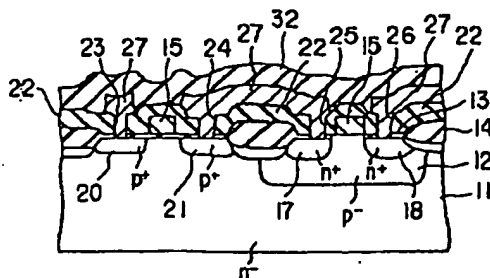
【図 3】



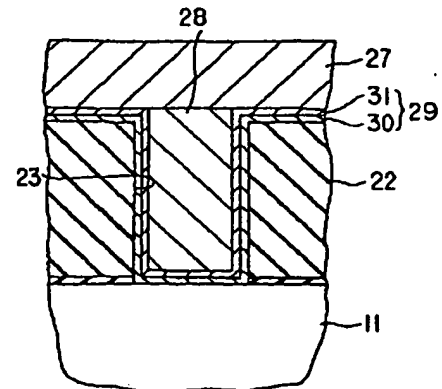
【図 4】



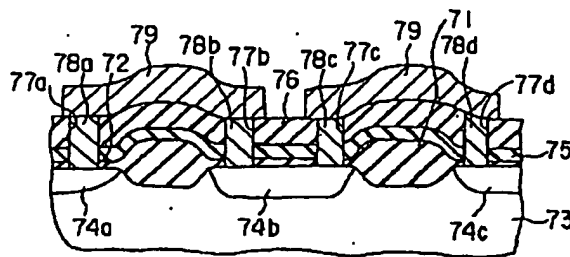
【図 5】



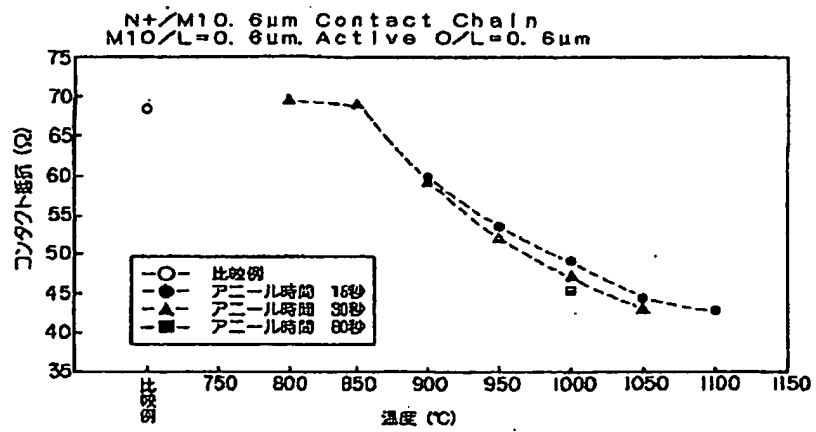
【図 6】



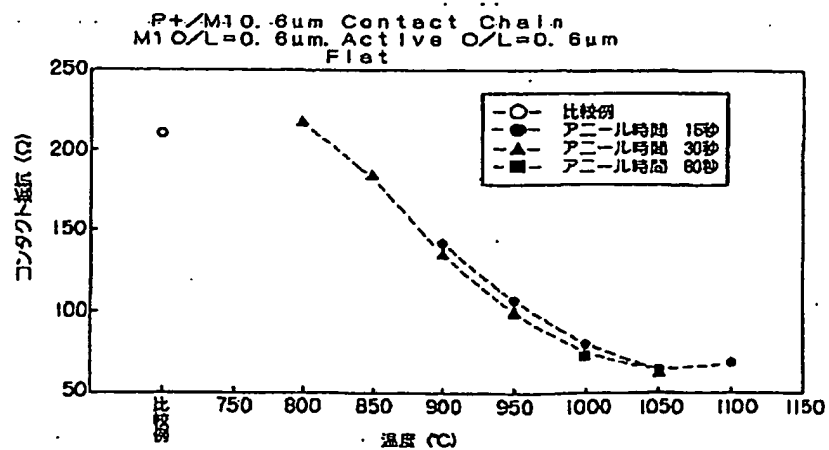
【図7】



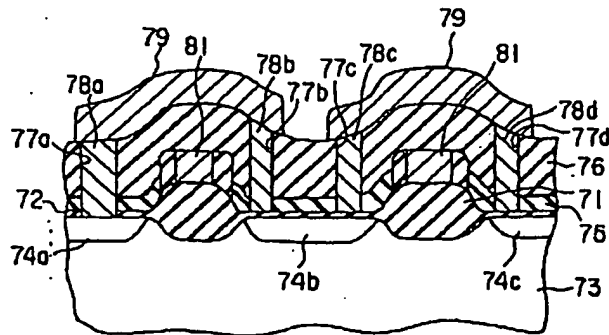
【図8】



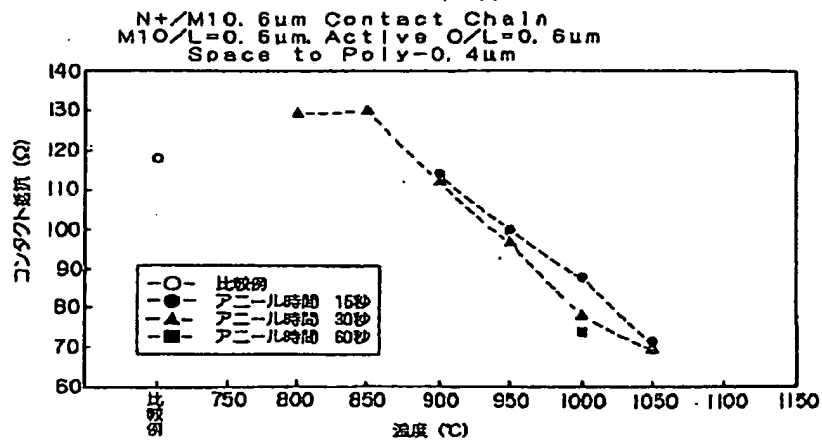
【図9】



【図10】



【図11】



【図12】

